



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masahiro TADA, et al.

GAU: 2833

SERIAL NO: 10/635,509

EXAMINER:

FILED: August 7, 2003

FOR: SUPPRESSION OF LEAKAGE CURRENT IN IMAGE ACQUISITION

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-254851	August 30, 2002
JAPAN	2002-281665	September 26, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 3 0 日
Date of Application:

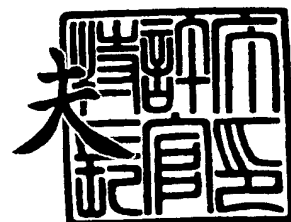
出 願 番 号 特 願 2 0 0 2 - 2 5 4 8 5 1
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 5 4 8 5 1]

出 願 人 東 芝 松 下 デ ィ ス プ レ イ テ ク ノ ロ ジ ー 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 2 8 7 2

【書類名】 特許願

【整理番号】 13844501

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置及びその製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 東京都港区港南4丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 中 村 卓

【発明者】

【住所又は居所】 東京都港区港南4丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

【氏名】 多 田 典 生

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南4丁目1番8号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置及びその製造方法

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する光電変換部と、を備え、
前記光電変換部は、p 層と n 層との間に形成された I 層を有し、この I 層の欠
陥密度は、前記表示素子のチャネル部の欠陥密度よりも高いことを特徴とする表
示装置。

【請求項 2】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する光電変換部と、を備え、
前記光電変換部は、p⁺層と n⁺層との間に形成された p⁻層と n⁻層とを含む I
層を有し、
前記 p⁻層の欠陥密度は、前記表示素子のチャネル部の欠陥密度よりも高く設
定され、
前記 p⁻層の上方には、第 1 ゲート長の第 1 ゲートが配置され、
前記表示素子の上方には、前記第 1 ゲート長よりも短い第 2 ゲート長の第 2 ゲ
ートが配置されることを特徴とする表示装置。

【請求項 3】

前記第 1 及び第 2 ゲートは、各チャネル方向にそれぞれ一つ以上配置され、
前記第 2 ゲートの個数は、前記第 1 ゲートの個数よりも多いことを特徴とする
請求項 2 に記載の表示装置。

【請求項 4】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する光電変換部と、を備えた

表示装置の製造方法において、

絶縁基板上に非晶質シリコン層を形成するステップと、

前記非晶質シリコン層にレーザを照射して結晶化させ、多結晶シリコン層を形成するステップと、

前記多結晶シリコン層をパターンニングするステップと、

パターンニングされた前記多結晶シリコン層の上面に第1絶縁層を形成するステップと、

前記多結晶シリコン層の前記表示素子及び前記光電変換部の形成箇所に対応する領域それぞれに不純物イオンを注入するステップと、

前記第1絶縁層の上面に第1金属層を形成するステップと、

前記第1金属層をパターンニングしてゲート電極を形成するステップと、

前記多結晶シリコン層の前記表示素子及び前記光電変換部の形成箇所に対応する領域それぞれに不純物イオンを注入するステップと、

前記多結晶シリコン層の前記表示素子及び前記光電変換部の形成箇所に対応する領域それぞれの少なくとも一部を水素化するステップと、

前記多結晶シリコン層の前記表示素子及び前記光電変換部の形成箇所に対応する領域それぞれの一部を露出させ、露出させた領域の周囲に第2金属層を形成するステップと、を備えることを特徴とする半導体装置の製造方法。

【請求項5】

前記光電変換部の形成箇所に対応する領域の欠陥密度が前記表示素子の形成箇所に対応する領域の欠陥密度よりも高くなるように、前記多結晶シリコン層を水素化することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】

前記表示素子のゲート電極のゲート長は、前記光電変換部のゲート電極のゲート長より短いことを特徴とする請求項4または5に記載の半導体装置の製造方法。

【請求項7】

前記表示素子及び前記光電変換部の各ゲート電極は、各チャネル方向にそれぞれ一つ以上配置され、

前記光電変換部のゲート電極の数は、前記表示素子のゲート電極の数よりも多いことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化されている。これにより、液晶表示装置全体を軽薄短小化することができ、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【0 0 0 3】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した表示装置が提案されている（例えば、特許文献 1，2 を参照）。

【0 0 0 4】

【特許文献 1】

特開 2001-292276 号公報

【0 0 0 5】

【特許文献 2】

特開 2001-339640 号公報

【0 0 0 6】

【発明が解決しようとする課題】

ポリシリコンは、アモルファスシリコンよりも移動度が大きいため、駆動回路の一部をアレイ基板上に形成するにはポリシリコンを用いるのが望ましい。

【0 0 0 7】

しかしながら、アレイ基板上に形成される各種 T F T の活性層をポリシリコン

で形成しても、活性層中のダングリングボンドが多数存在していると、TFTにリーク電流が流れるという問題がある。

【0008】

このような問題を解決する手法として、活性層を水素化してダングリングボンドを終端させることが考えられる。ところが、上述した密着型エリアセンサの場合、光に対する感度を上げるには、センサの活性層中にダングリングボンドがあった方が、トラップ準位が増えるため望ましい。

【0009】

本発明は、このような点に鑑みてなされたものであり、その目的は、表示品質と画像取込み性能に優れた表示装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する光電変換部と、を備え、前記光電変換部は、p層とn層との間に形成されたI層を有し、このI層の欠陥密度は、前記表示素子のチャンネル部の欠陥密度よりも高い。

【0011】

本発明では、画素内の光電変換部の欠陥密度を表示素子のチャンネル部の欠陥密度よりも高くするため、光電変換部の光に対する感度を向上させつつ、表示素子のリーク電流を抑制できる。

【0012】

また、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する光電変換部と、を備え、前記光電変換部は、p⁺層とn⁺層との間に形成されたp⁻層とn⁻層とを含むI層を有し、前記p⁻層の欠陥密度は、前記表示素子のチャンネル部の欠陥密度よりも高く設定され、前記p⁻層の上方には、第1ゲート長の第1ゲートが配置され

、前記表示素子の上方には、前記第1ゲート長よりも短い第2ゲート長の第2ゲートが配置される。

【0013】

【発明の実施の形態】

以下、本発明に係る表示装置及びその製造方法について、図面を参照しながら具体的に説明する。

【0014】

図1は本発明に係る表示装置の第1の実施形態の概略構成図であり、アレイ基板上の構成を示している。図1の表示装置は、信号線及び走査線が列設される画素アレイ部1と、信号線を駆動する信号線駆動回路2と、走査線を駆動する走査線駆動回路3と、画像を取り込んで出力する検出回路&出力回路4と、画像取込み用のセンサを制御するセンサ制御回路5とを備えている。

【0015】

図2は画素アレイ部1の一部を詳細に示したブロック図である。図2の画素アレイ部1は、縦横に列設される信号線及び走査線の各交点付近に形成される画素TFT11と、画素TFT11の一端とCs線との間に接続される液晶容量C1及び補助容量C2と、各画素TFT11ごとに2個ずつ設けられる画像取込み用のセンサ12a, 12bとを有する。センサ12a, 12bは、不図示の電源線及び制御線に接続されている。

【0016】

図3は図2の一部を詳細に示した回路図である。図3に示すように、センサ12a, 12bはそれぞれフォトダイオードD1, D2とセンサ切替用トランジスタQ1, Q2とを有する。フォトダイオードD1, D2は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタQ1, Q2は、1画素内の複数のフォトダイオードD1, D2のいずれか一つを交互に選択する。

【0017】

各画素は、2つのセンサ12a, 12bと、同一画素内の2つのセンサ12a, 12bで共用されるキャパシタC3と、キャパシタC3の蓄積電荷に応じた2値データを格納するバッファ13と、バッファ13への書込み制御を行うトラン

ジスタQ3と、バッファ13及びキャパシタC3を初期化するリセット用トランジスタQ4とを有する。

【0018】

バッファ13は、スタティックRAM (SRAM) で構成され、例えば、図4に示すように、直列接続された2つのインバータIV1, IV2と、後段のインバータIV2の出力端子と前段のインバータIV1の入力端子との間に配置されるトランジスタQ5と、後段のインバータの出力端子に接続される出力用トランジスタQ6とを有する。

【0019】

信号SPOLBがハイレベルのときに、トランジスタQ5はオンし、2つのインバータIV1, IV2は保持動作を行う。信号OUTiがハイレベルのときに、保持しているデータが検出線に出力される。

【0020】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジスタQ3はオフ状態に設定され、バッファ13には有効なデータは格納されない。この場合、信号線には、信号線駆動回路2からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【0021】

一方、画像取込みを行う場合は、図5に示すようにアレイ基板21の上面側に画像取込み対象物(例えば、紙面)22を配置し、バックライト23からの光を対向基板24とアレイ基板21を介して紙面22に照射する。紙面22で反射された光はアレイ基板21上のセンサ12a, 12bで受光され、画像取込みが行われる。取り込んだ画像データは、バッファ13に格納された後、検出線を介して不図示のCPUに送られる。このCPUは、本実施形態の表示装置から出力されるデジタル信号を受けて、データの並び替えやデータ中のノイズの除去などの演算処理を行う。なお、CPUは一つの半導体チップで構成してもよいし、複数の半導体チップで構成してもよい。

【0022】

図6は画像取込み時の動作タイミング図である。まず、センサ12a, 12b 信号PARがハイレベルであるため、1画素内の左側のトランジスタが選択される。

【0023】

次に、図6の時刻t1～t2では、画素アレイ部1を1行ずつ順に駆動し、全画素を同一色（例えば白色）に設定する。

【0024】

次に、時刻t3では、信号RST, SPOLA, SPOLBをいずれもハイレベルに設定して、トランジスタQ3, Q4, Q5をいずれもオンさせる。これにより、バッファ13とキャパシタC3に初期値が設定される。

【0025】

信号RSTがローレベルになると（時刻t4）、センサ12a, 12bは画像取り込みを開始する。紙面22からの反射光がセンサ12a, 12b内のフォトダイオードD1, D2で受光されると、キャパシタC3に蓄積された電荷がフォトダイオードD1, D2を通過して接地端子GNDに流れる。すなわち、リーク電流が流れる。これにより、キャパシタC3の蓄積電荷が減少する。

【0026】

時刻t5になると、信号SPOLAがハイレベルになり、キャパシタC3の蓄積電荷に応じた2値データがバッファ13に格納される。

【0027】

その後、時刻t6になると、信号SPOLBがハイレベルになり、バッファ13が保持動作を開始する。その後、時刻t7になると、バッファ13に格納されたデータが各画素ごとに順に検出線に供給されて不図示のCPUに送られる。

【0028】

図6において、各画素ごとにバッファ13を設ける理由は以下の通りである。キャパシタC3の蓄積電荷は、センサ12a, 12b内のフォトダイオードD1, D2を流れる電流によりリークする以外に、画素内のTF Tを流れる電流によってもリークする。このため、時間がたつにつれて、キャパシタC3の蓄積電荷は少なくなり、キャパシタC3の両端電圧も低下してしまう。このため、各画素

ごとにバッファ13を設け、キャパシタC3の蓄積電荷がリークする前にバッファ13に転送すれば、キャパシタC3のリークによる影響を受けずに画像取込みを行うことができる。

【0029】

なお、バッファ13としてSRAMを用いる理由は、SRAMは数十万ルクスの光が照射されても、論理反転などの誤動作を起こすおそれがないためである。

【0030】

時刻 t_8 以降は、センサ切替信号PARがローレベルになり、センサ12a, 12bを切り替えて画像取込みを行う。

【0031】

本実施形態のアレイ基板21上に形成される各構成部分は、nチャネルTFTとpチャネルTFTを用いて形成される。

【0032】

図7はnチャネルTFTの製造工程図、図8はpチャネルTFTの製造工程図である。nチャネルTFTとpチャネルTFTは共通の製造工程で形成される。

【0033】

まず、ガラス基板31上にSiNxやSiOx等からなるアンダーコート層をCVD法により形成する。アンダーコート層を形成する理由は、ガラス基板31上に形成される素子に不純物が拡散しないようにするためである。

【0034】

次に、PECVD法やスパッタリング法等により、ガラス基板31上に非晶質シリコン膜を形成した後、非晶質シリコン膜にレーザを照射して結晶化させ、多結晶シリコン膜32を形成する。

【0035】

次に、多結晶シリコン膜32をパターンニングした後、PECVD法やECR-CVD法等で形成したSiOx膜からなる第1絶縁層33を形成する。そして、多結晶シリコン膜32の所定箇所に低濃度のボロンを注入する（図7（a）、図8（a））。

【0036】

次に、レジスト等34をマスクとして、nチャネルTFTの形成箇所にリンを

イオン注入する（図 7（b））。

【0037】

次に、Mo-TaやMo-W等の第1メタルを成膜してパターンニングし、ゲート電極35を形成する。次に、レジスト等34をマスクとして、イオン注入法を用いて、pチャネルTFTの形成箇所にもボロンイオンを注入する（図 8（c））。なお、レジスト等34は、レジストに限らない。所定形状にパターンニングした第1メタルを用いてもよい。レジストも第1メタルもイオン注入を遮る効果は同じである。製造工程の諸般の都合など考慮し、有利な方を用いればよい。

【0038】

次に、レジスト等34をマスクとして、nチャネルTFTの形成箇所にも低濃度リンをイオン注入する（図 7（d））。レジスト等34でマスクされている箇所の直下の他結晶シリコン膜はp層のままである。なお、レジスト等34は、レジストに限らない。所定形状にパターンニングした第1メタルを用いてもよい。レジストも第1メタルもイオン注入を遮る効果は同じである。製造工程の諸般の都合など考慮し、有利な方を用いればよい。

【0039】

次に、いわゆる水素化を行う。水素化とは、基板を水素のプラズマ中にさらす工程である。この工程は、CVD装置を用いて行われる。水素化によりTFTのチャンネルが形成される多結晶シリコン膜32中のダングリングボンドを終端させることができる。この水素化は、TFTのリーク電流を抑制する目的で行われる。基板を水素のプラズマにさらすと、水素はゲート電極に遮られ、ゲート電極のない部分から多結晶シリコン膜32中に回り込むように進行する。

【0040】

水素化に引き続いて、同じCVD装置中で、 SiO_x からなる第2絶縁層36を形成し、電極を形成するためのコンタクトホールを開口した後、第2メタル37を成膜してソース・ドレイン電極をパターンニングする（図 7（e）、図 8（e））。最後に、パッシベーション膜としてSiN膜を成膜してnチャネルTFTとpチャネルTFTが完成する。

【0041】

センサのフォトダイオードD1, D2は、p⁺層、p⁻層、n⁻層及びn⁺層からなるPIN構造にするのが望ましい。PIN構造は、空乏層が広く、光-電流変換効率がよいためである。n⁻層は熱リーク電流を抑制するのに有効である。熱リーク電流を抑制するほど、光電流のON/OFF比が高くなる。

【0042】

図9はPIN構造のフォトダイオードD1, D2の製造工程図である。まず、PECVD法やスパッタリング法等により、ガラス基板31上に非晶質シリコン膜を形成した後、非晶質シリコン膜にレーザを照射して結晶化させ、多結晶シリコン膜32を形成する。そして、その上面に低濃度のボロンをイオン注入してp⁻層を形成する(図9(a))。

【0043】

次に、レジスト等34をマスクとしてリンをイオン注入し、多結晶シリコン膜32の一部にn⁺層を形成する(図9(b))。

【0044】

次に、ゲート電極35となる第1メタルを形成した後、レジスト等34をマスクとしてボロンをイオン注入し、多結晶シリコン膜32の一部にp⁺層を形成する(図9(c))。なお、レジスト等34は、レジストに限らない。所定形状にパターニングした第1メタルを用いてもよい。レジストも第1メタルもイオン注入を遮る効果は同じである。製造工程の整合など考慮し、有利な方を用いればよい。

【0045】

次に、レジスト等34をマスクとして多結晶シリコン膜32中に低濃度リンをイオン注入する(図9(d))。レジスト等34でマスクされている箇所の直下の他結晶シリコン膜はp⁻層のままである。なお、レジスト等34は、レジストに限らない。所定形状にパターニングした第1メタルを用いてもよい。レジストも第1メタルもイオン注入を遮る効果は同じである。製造工程の諸般の都合などを考慮し、有利な方を用いればよい。引き続いて、上述した水素化を行う。

【0046】

次に、第2絶縁層36を形成してコンタクトホールを開け、第2メタル37を

所定形状に形成する（図 9（e））。

【0047】

図 9 に示すフォトダイオードは、図 7 及び図 8 に示す T F T と同じ製造工程にて形成することができる。すなわち、図 7（a）、図 8（a）、図 9（a）は同じ工程で形成され、同様に、図 7（b）、図 8（b）、図 9（b）と、図 7（c）、図 8（c）、図 9（c）と、図 7（d）、図 8（d）、図 9（d）と、図 7（e）、図 8（e）、図 9（e）とは、それぞれ同じ工程で形成される。

【0048】

このように、製造工程を共通化することにより、製造コストの削減が図れる。

【0049】

本実施形態では、T F T とフォトダイオードのいずれを形成する場合でも、水素化を行っているが、T F T を形成する場合の方が水素化をより進行させている。その理由は、T F T は、多結晶シリコン膜 32 中のダングリングボンドを水素化により終端させた方がリーク電流が少なくなってより望ましいのに対し、フォトダイオードは、多結晶シリコン膜 32 中のダングリングボンドを終端させない方がトラップ準位が増えて、光電変換効率が向上するためである。より詳しくは、光リーク電流は、所定のエネルギーギャップ E_g より大きなエネルギーの光が入射したときに、電子と正孔が発生することにより生じる。ここでダングリングボンドが多く存在すると、トラップ準位となり、所定のエネルギーギャップより小さいエネルギーの光にも反応するようになる。

【0050】

本発明者は、図 10 に示すように、ゲート長が長くなるほど光リーク電流が多くなる傾向にあることを実験により確かめた。そこで、本実施形態では、T F T とフォトダイオードで、水素化の進行に差が生じるようにするために、図 11（a）及び図 11（b）に示すように光電変換素子の I 層が第 1 メタルにより覆われる部分の長さ L_p （以下、光電変換素子のゲート長）を、周辺 T F T のチャネル部が第 1 メタル層に覆われる長さ L_T （以下、T F T のゲート長）より長くしている。図 11（a）はフォトダイオード D 1、D 2 の平面図及び断面図、図 11（b）は T F T 11 の平面図及び断面図である。

【0051】

ゲート長によりリーク電流を可変制御できる理由は以下の通りである。水素化は、図12(a)及び図12(b)に示すように、ゲート電極の端部からゲート電極を回りこむようにして起こる。このため、ゲート長が長いほど、ゲート電極の直下付近の水素化は起きにくくなる。図12(a)はフォトダイオードD1, D2の水素化の様子を示し、図12(b)はTFT11の水素化の様子を示している。

【0052】

また、水素化の時間を制御することによっても、水素化の進行に違いが出てくる。すなわち、水素化時間が短いほど、ダングリングボンドが終端される割合が少なくなるため、TFT11は、フォトダイオードD1, D2よりも水素化時間を短くすればよい。

【0053】

このように、本実施形態では、表示装置の製造工程にてTFT11のチャンネル部とフォトダイオードD1, D2のI層をともに水素化する際、TFT11とフォトダイオードD1, D2とで水素化の進行に違いが出るようにして、TFT11のチャンネル部の欠陥密度が少なくし、かつフォトダイオードD1, D2のI層の欠陥密度が多くするため、TFT11のリーク電流を抑制しつつ、フォトダイオードD1, D2の光に対する感度を向上できる。

【0054】

また、光が照射されないときにも熱リーク電流が生じることが知られている。熱リーク電流は、LDD層(図9のn-の部分)により抑制される。また、ゲート長が長くなるほど抑制される。通常、画素内に設けられるTFTは熱リーク電流による画素電位劣化を嫌い、総ゲート長を長くして用いる。画素TFTでは光リーク電流と熱リーク電流の双方を抑制するために、短いゲート長を連結して、いわゆるダブルゲート構造、トリプルゲート構造にすることにより、水素化が進行しやすく、かつ、総ゲート長が長いことにより熱リーク電流を抑制するのがよい。

【0055】

以上の理由により、図3のQ1～Q4のTF Tはゲート長3 μ mのダブルゲートTF T (図11(b)とし、フォトダイオードはゲート長6 μ m (単一ゲート: 図11(a)) としている。

【0056】

上述した実施形態では、光電変換素子をフォトダイオードD1, D2で構成する例を示したが、TF T11で構成してもよい。この場合、第1メタルに覆われる部分の長さを、周辺TF T11に対して長くすればよい。

【0057】

【発明の効果】

以上詳細に説明したように、本発明によれば、画素内の光電変換部の一部であるI層の欠陥密度を、表示素子のチャネル部の欠陥密度よりも高くするため、光電変換部の光に対する感度を高めつつ、表示素子のリーク電流を抑制できる。

【図面の簡単な説明】

【図1】

本発明に係る表示装置の一実施形態の概略構成図。

【図2】

画素アレイ部の一部を詳細に示したブロック図。

【図3】

図2の一部を詳細に示した回路図。

【図4】

バッファの内部構成を示す回路図。

【図5】

表示装置の構造を示す簡易的な断面図。

【図6】

画像取込み時の動作タイミング図。

【図7】

nチャネルTF T11の製造工程図。

【図8】

pチャネルTF T11の製造工程図。

【図 9】

P I N構造のフォトダイオードD 1, D 2 D 1, D 2の製造工程図。

【図 10】

ゲート長とリーク電流との関係を示す図。

【図 11】

(a) はフォトダイオードD 1, D 2の平面図及び断面図、(b) はT F T 1 1の平面図及び断面図。

【図 12】

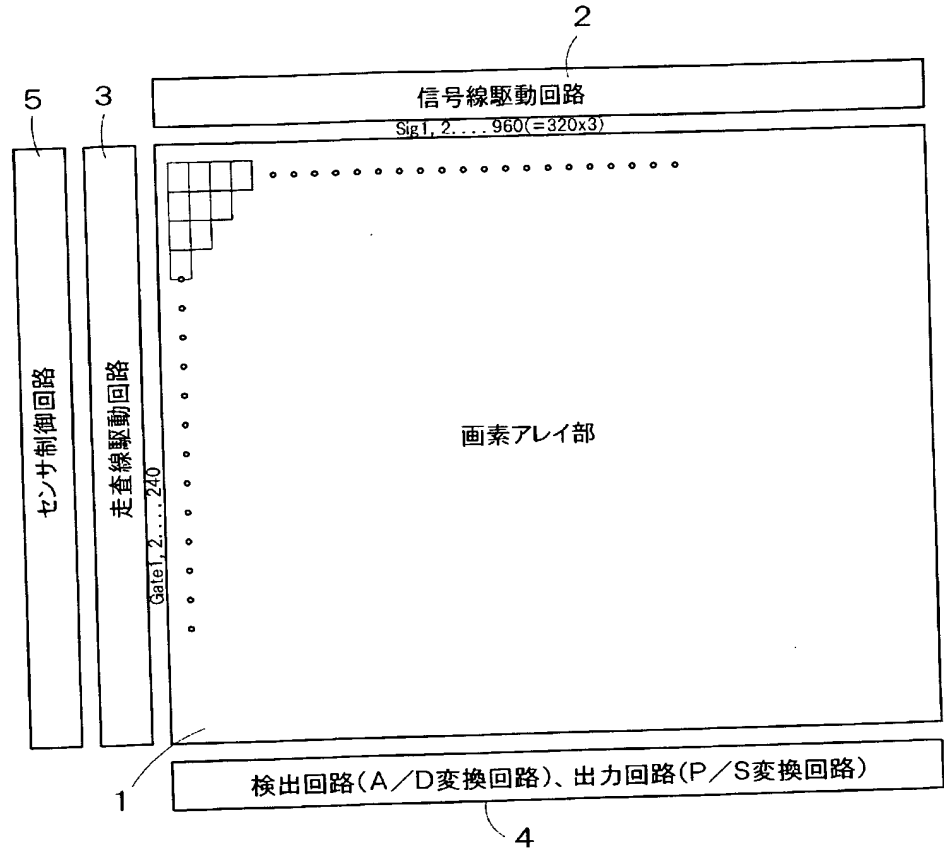
(a) はフォトダイオードD 1, D 2の水素化の様子を示す図、(b) はT F T 1 1の水素化の様子を示す図。

【符号の説明】

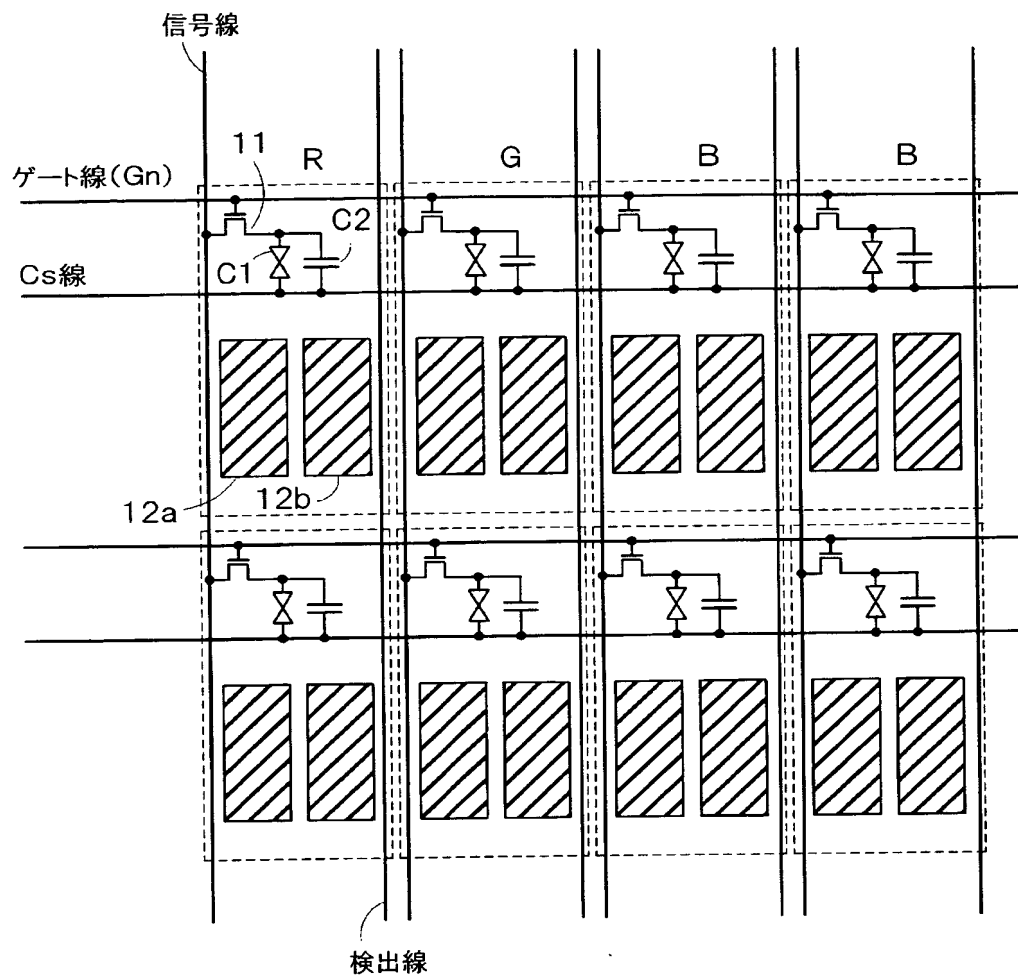
- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 検出回路 4 1 & 出力回路
- 5 センサ制御回路
- 1 1 画素T F T 1 1
- 1 2 a, 1 2 b センサ
- 1 3 バッファ
- 2 1 アレイ基板
- 2 2 紙面
- 2 3 バックライト
- 2 4 対向基板

【書類名】 図面

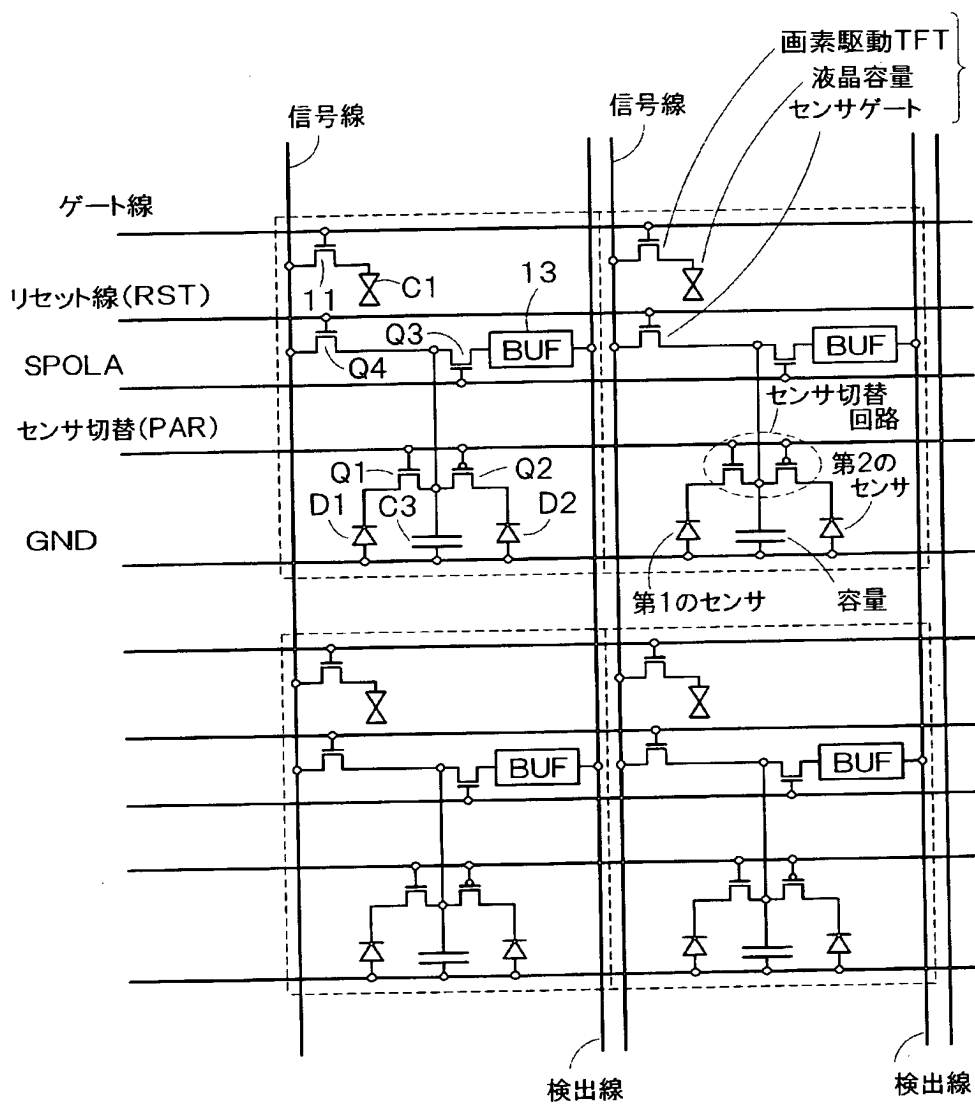
【図 1】



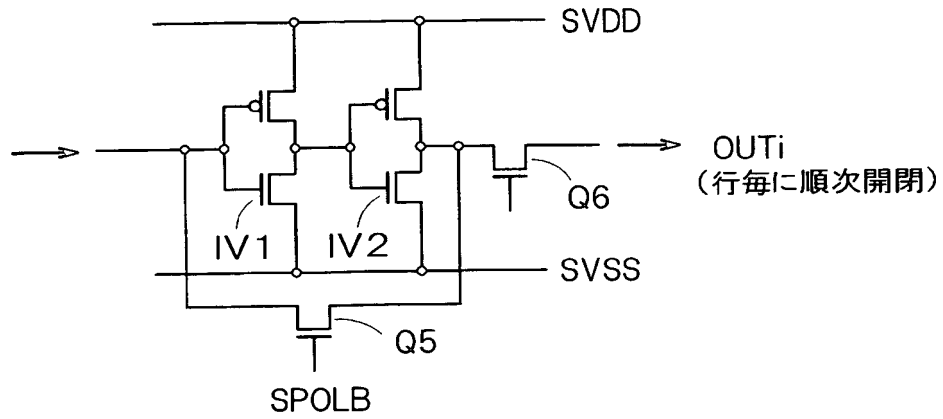
【図 2】



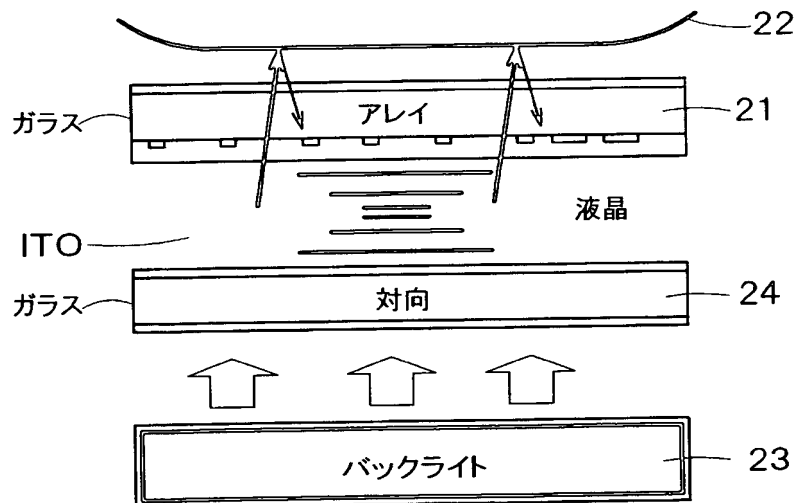
【図 3】



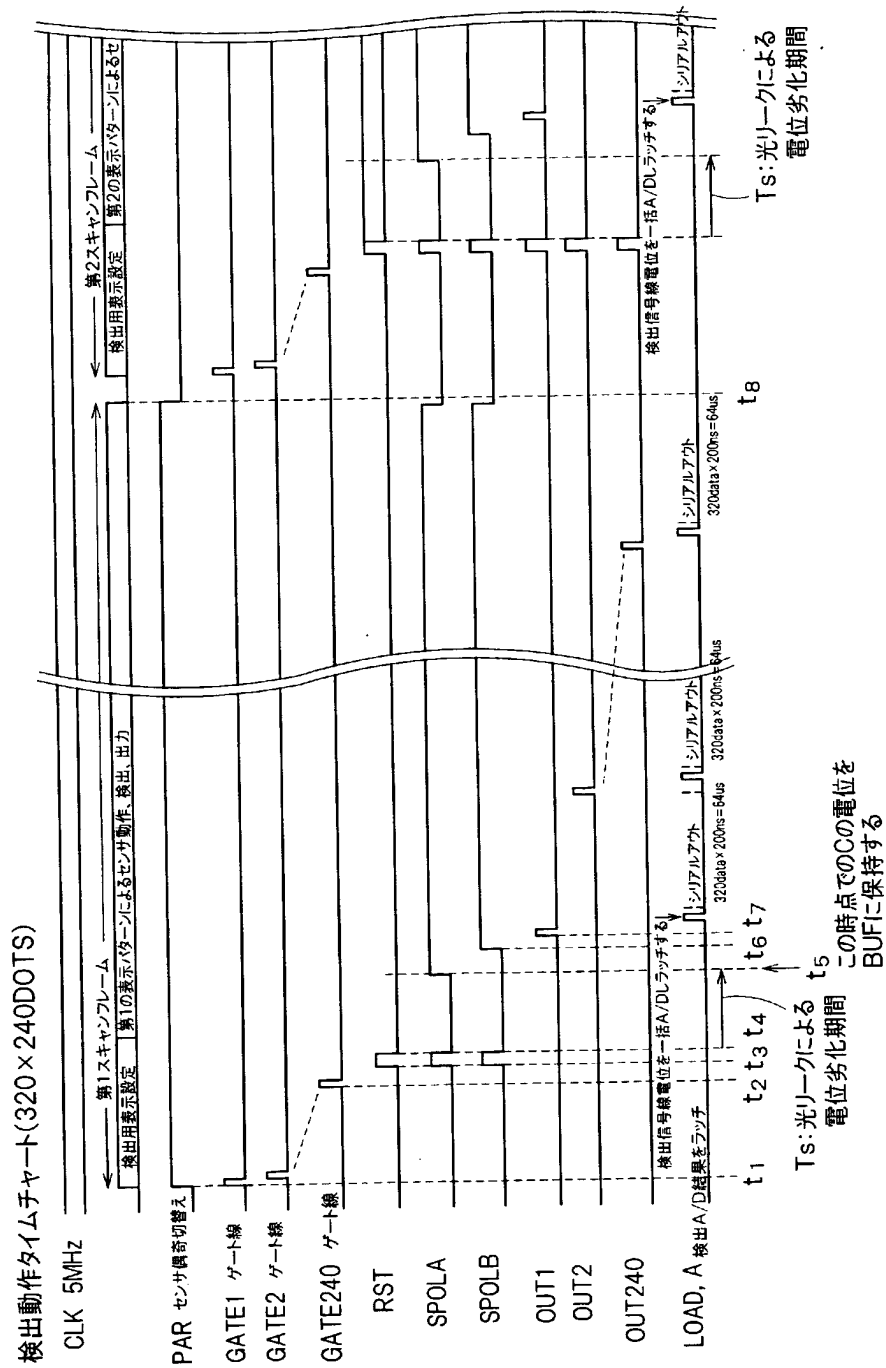
【図 4】



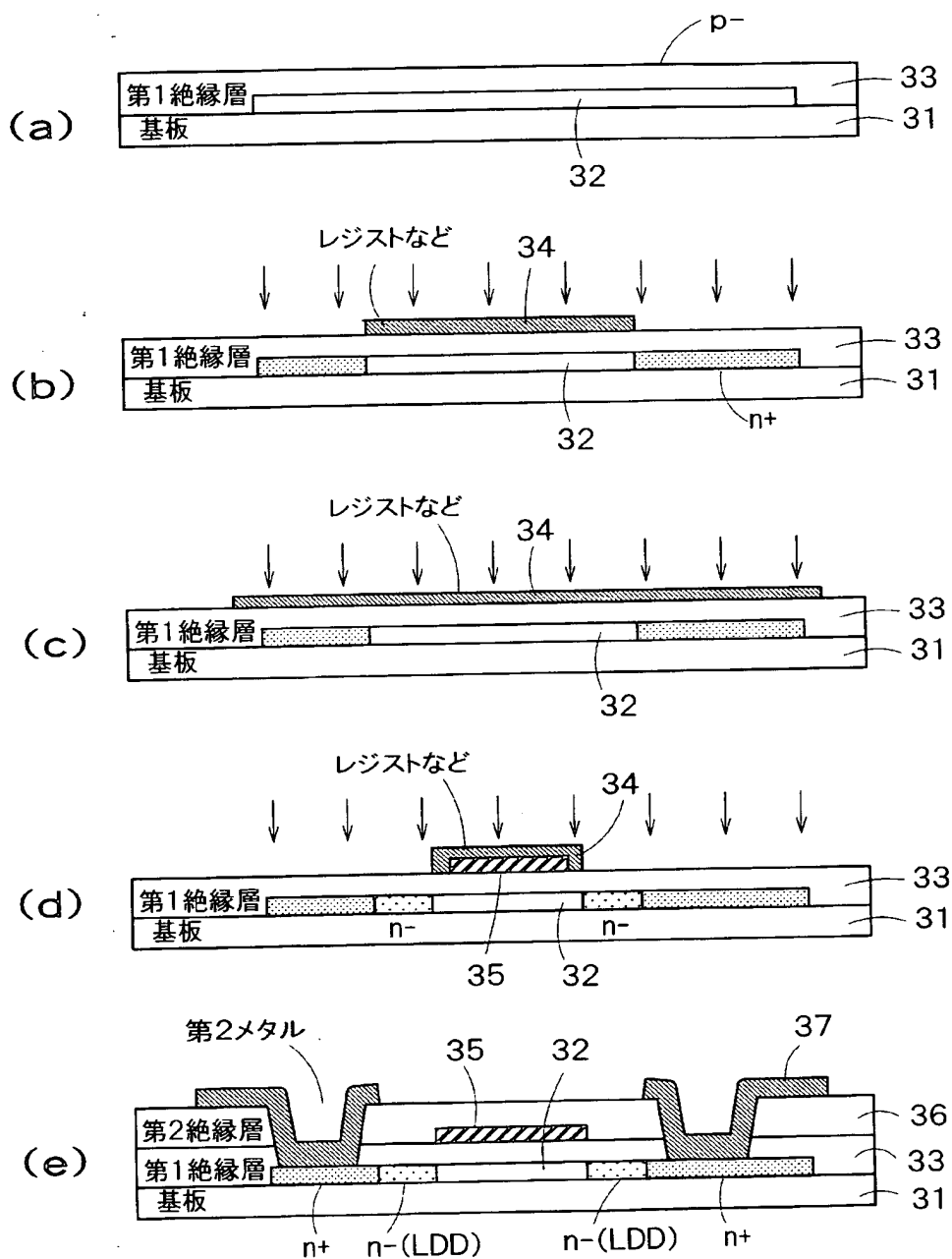
【図 5】



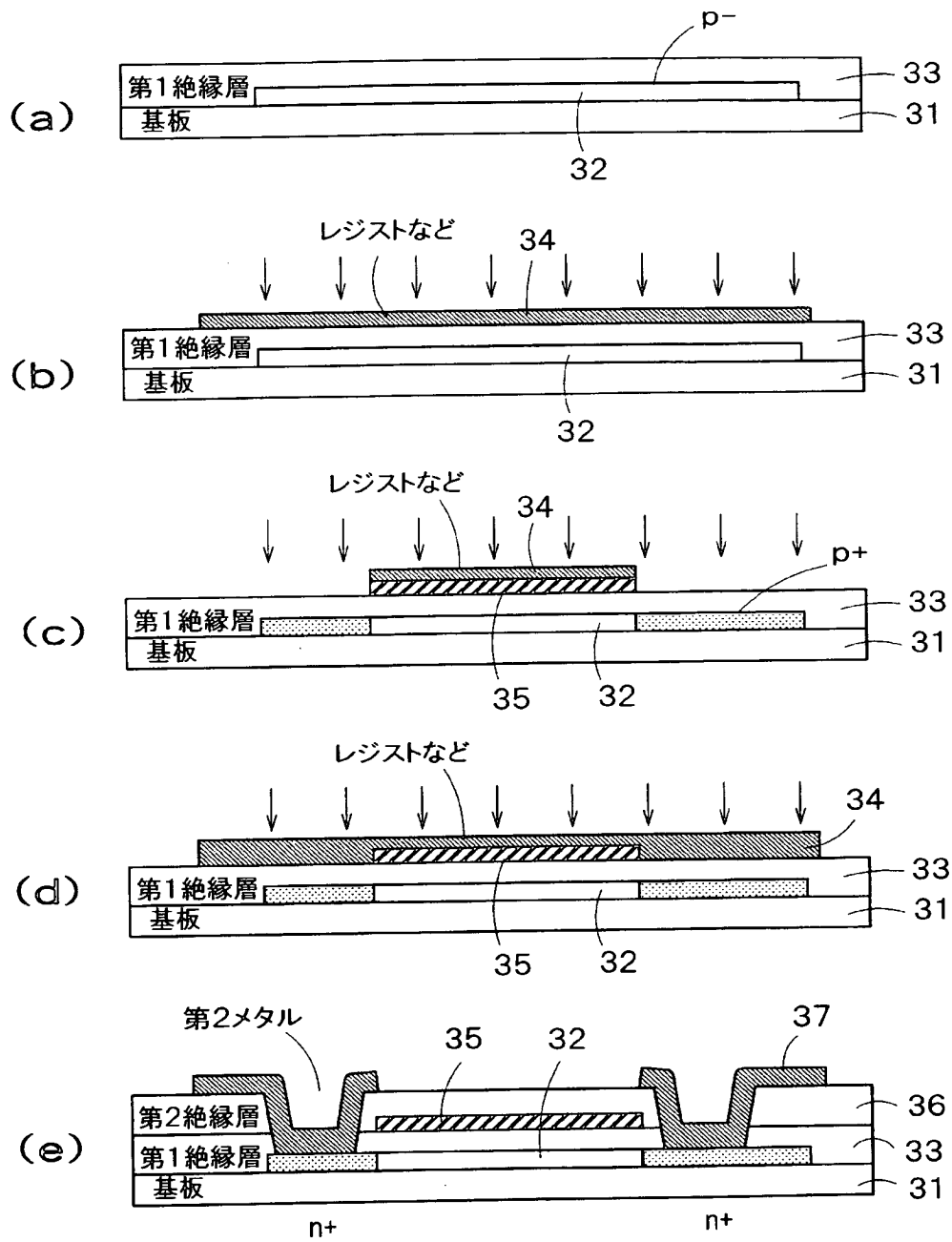
【図 6】



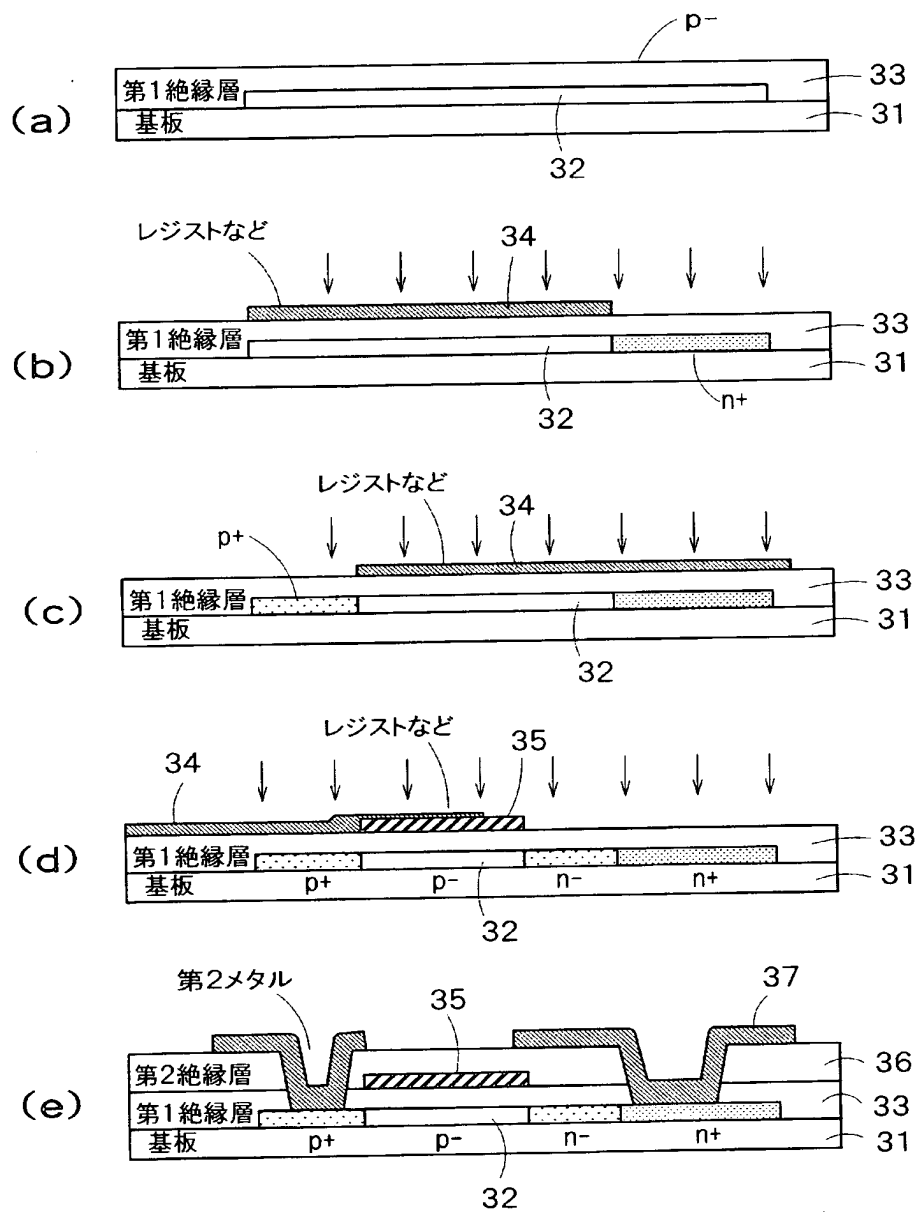
【図 7】



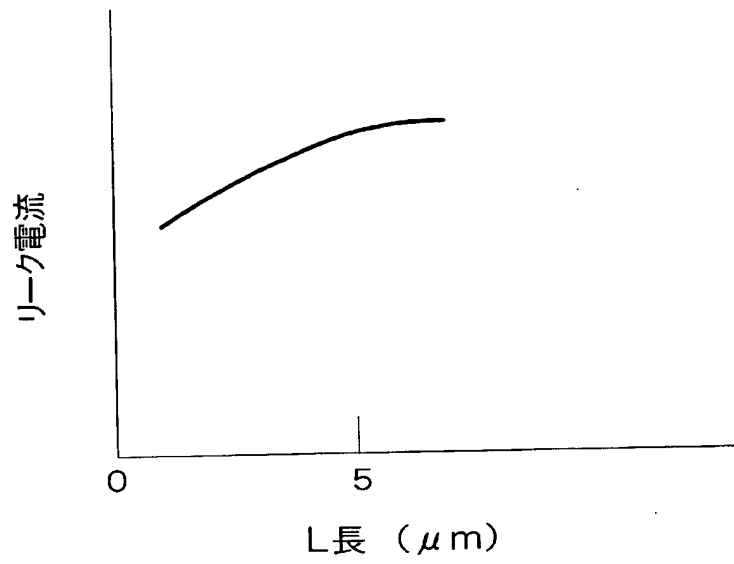
【図 8】



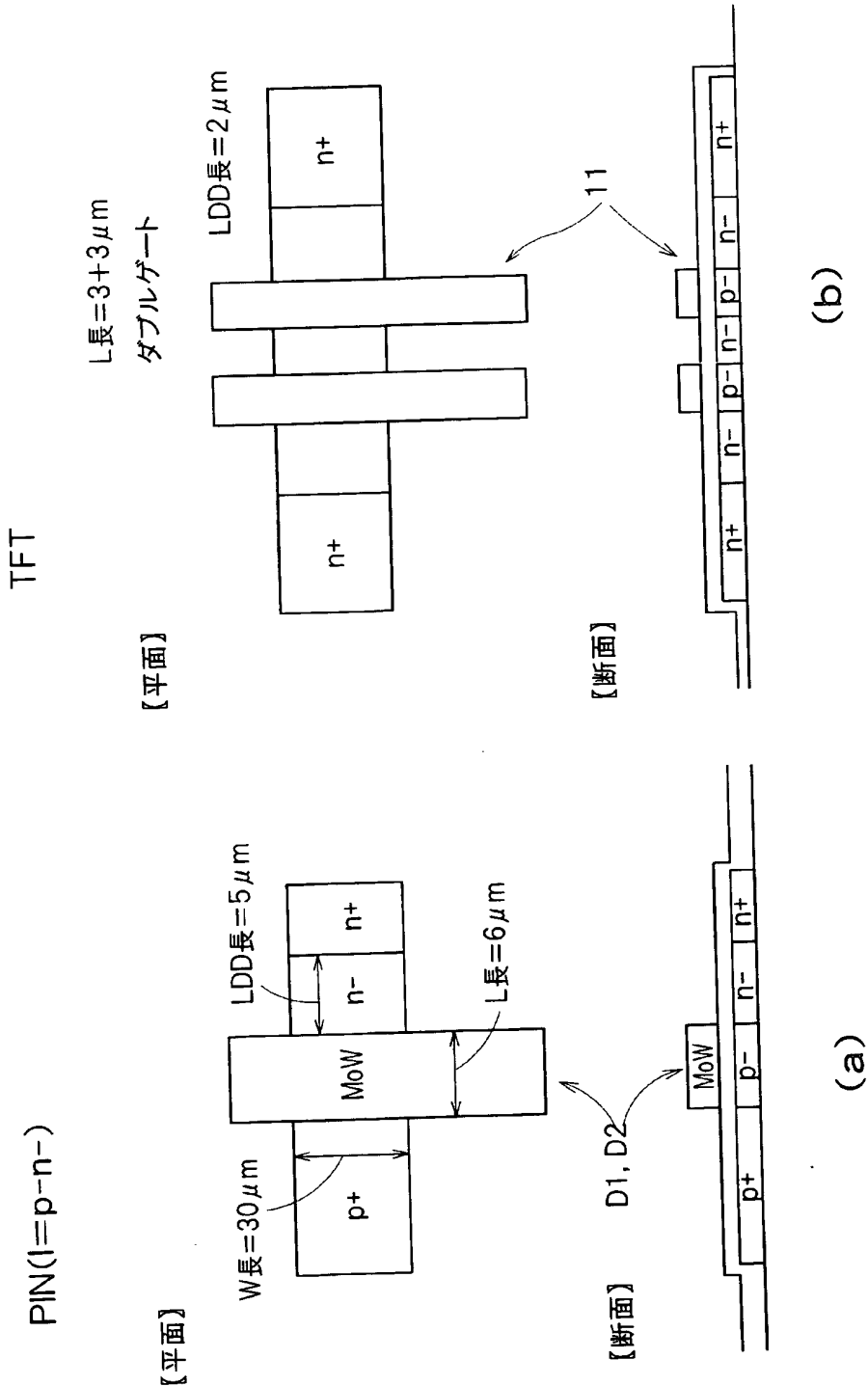
【図 9】



【図 10】



【図 1 1】

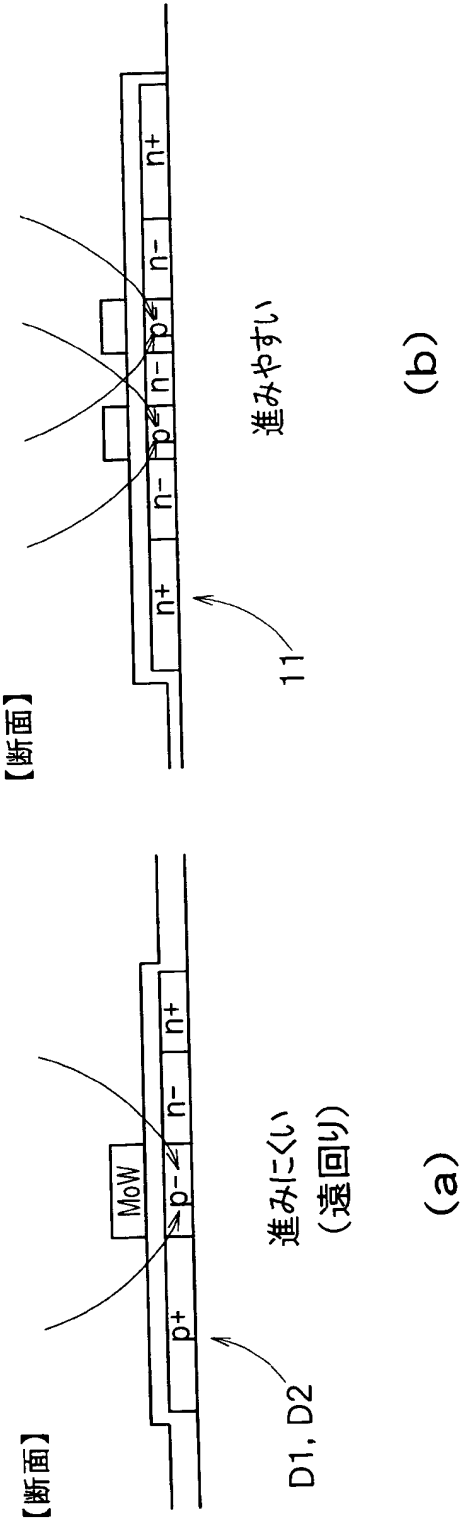


【図 1 2】

水素化の進行の違い

PIN(I=p-n-)

TFT



【書類名】 要約書

【要約】

【課題】 表示品質と画像取込み性能に優れた表示装置及びその製造方法を提供する。

【解決手段】 表示装置の製造工程にて TFT11 のチャンネル部とフォトダイオード D1, D2 の I 層をともに水素化する際、TFT11 とフォトダイオード D1, D2 とで水素化の進行に違いが出るようにして、TFT11 のチャンネル部の欠陥密度を少なくし、かつフォトダイオード D1, D2 の I 層の欠陥密度を多くする。これにより、TFT11 のリーク電流が抑制され、フォトダイオード D1, D2 の光に対する感度を向上できる。

【選択図】 図 12

特願 2 0 0 2 - 2 5 4 8 5 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日
[変更理由]

2 0 0 2 年 4 月 5 日

新規登録

住 所
氏 名

東京都港区港南 4 - 1 - 8

東芝松下ディスプレイテクノロジー株式会社